

2/5/1 (Item 1 from file: 351)  
DIALOG(R)File 351:Derwent WPI  
(c) 2003 Thomson Derwent. All rts. reserv.

012694619 \*\*Image available\*\*  
WPI Acc No: 1999-500728/ 199942  
XRPX Acc No: N99-373885

Institute of Electrical and Electronic Engineers IEEE 1394 specification  
communication interface for digital serial communication - has bus  
interface which transmits data in packet format determined by packet  
format determining unit in response to data transmission velocities  
indicated by signal from link interface  
Patent Assignee: FUJI FILM MICRO DEVICE KK (FUJF ); FUJI PHOTO FILM CO LTD  
(FUJF )

Number of Countries: 001 Number of Patents: 001  
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11215161	A	19990806	JP 9811740	A	19980123	199942 B

Priority Applications (No Type Date): JP 9811740 A 19980123

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11215161	A	11	H04L-012/40	

Abstract (Basic): JP 11215161 A

NOVELTY - A bus interface (15) transmits data in a packet format  
determined by a packet format determining unit in response to data  
transmission velocities indicated by a signal from a link interface  
(11). DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for  
a control method for IEEE 1394 specification communication interface.

USE - For digital serial communication.

ADVANTAGE - Performs suitable packet communication depending on  
transmission velocity before and after modification. Eliminates  
prevention of predetermined normal data transmission when communication  
velocities do not correspond to normal transmission since the data are  
separated and transmitted as another packet. DESCRIPTION OF DRAWING(S)  
- The figure shows a block diagram showing the communication network of  
the IEEE 1394 specification communication interface. (11) Link  
interface; (15) Bus interface.

Dwg.3/9

Title Terms: ELECTRIC; ELECTRONIC; ENGINEERING; SPECIFICATION; COMMUNICATE;  
INTERFACE; DIGITAL; SERIAL; COMMUNICATE; BUS; INTERFACE; TRANSMIT; DATA;  
PACKET; FORMAT; DETERMINE; PACKET; FORMAT; DETERMINE; UNIT; RESPOND; DATA  
; TRANSMISSION; VELOCITY; INDICATE; SIGNAL; LINK; INTERFACE

Derwent Class: W01

International Patent Class (Main): H04L-012/40

International Patent Class (Additional): H04L-005/00; H04L-012/56

File Segment: EPI

2/5/2 (Item 1 from file: 347)  
DIALOG(R)File 347:JAPIO  
(c) 2003 JPO & JAPIO. All rts. reserv.

06273573 \*\*Image available\*\*  
IEEE 1394 INTERFACE AND METHOD FOR CONTROLLING THE SAME

PUB. NO.: 11-215161 A]  
PUBLISHED: August 06, 1999 (19990806)  
INVENTOR(s): MAMEZAKI YUICHI  
APPLICANT(s): FUJI FILM MICRODEVICES CO LTD  
FUJI PHOTO FILM CO LTD  
APPL. NO.: 10-011740 [JP 9811740]  
FILED: January 23, 1998 (19980123)  
INTL CLASS: H04L-012/40; H04L-005/00; H04L-012/56

# ABSTRACT

PROBLEM TO BE SOLVED: To enable an IEEE 1294 interface to make appropriate concatenate packet communication in accordance with transmission speeds before and after an alteration.

SOLUTION: An IEEE 1394 interface is provided with an input means 11 which transmits first data at a first communication rate and, thereafter, inputs a signal which instructs to transmit second data at a second communication rate, packet form deciding means 12, 13, and 14 which decide the packet form as one packet by connecting the data to each other or as different packets by separating the first and second data from each other, and a transmitting means 15 which transmits the first and second data in the packet form decided by means of the deciding means 12, 13, and 14.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-215161

(43) 公開日 平成11年(1999) 8月6日

(51) Int.Cl. <sup>8</sup>	識別記号	F I
H 0 4 L 12/40		H 0 4 L 11/00 3 2 0
5/00		5/00
12/56		11/20 1 0 2 A

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願平10-11740

(22) 出願日 平成10年(1998) 1月23日

(71) 出願人 391051588

富士フイルムマイクロデバイス株式会社  
宮城県黒川郡大和町松坂平1丁目6番地

(71) 出願人 000005201

富士写真フイルム株式会社  
神奈川県南足柄市中沼210番地

(72) 発明者 豆崎 裕一

宮城県黒川郡大和町松坂平1丁目6番地  
富士フイルムマイクロデバイス株式会社内

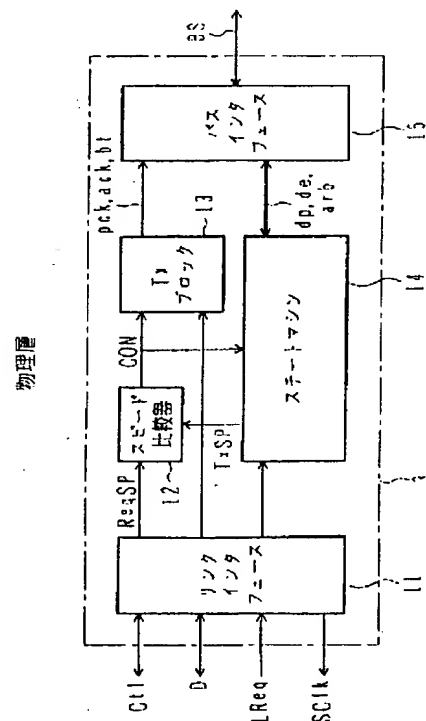
(74) 代理人 弁理士 高橋 敬四郎 (外1名)

(54) 【発明の名称】 IEEE1394インタフェース及びその制御方法

(57) 【要約】

【課題】 変更前及び変更後の通信速度に応じて適切なコンカチネートパケット通信を行うIEEE1394インタフェース又はその制御方法を提供することを課題とする。

【解決手段】 第1のデータを第1の通信速度で送信し、その後に第2のデータを第2の通信速度で送信するように指示する信号を入力する入力手段(11)と、第1及び第2の通信速度に応じて、第1及び第2のデータを連結して1つのパケットとし、又は第1及び第2のデータを分離して別のパケットとして決定するパケット形式決定手段(12, 13, 14)と、パケット形式決定手段により決定されるパケット形式で第1及び第2のデータを送信する送信手段(15)とを有する。



## 【特許請求の範囲】

【請求項1】第1のデータを第1の通信速度で送信し、その後第2のデータを第2の通信速度で送信するように指示する信号を入力する入力手段と、前記第1及び第2の通信速度に応じて、前記第1及び第2のデータを連結して1つのパケットとし、又は前記第1及び第2のデータを分離して別のパケットとして決定するパケット形式決定手段と、前記パケット形式決定手段により決定されるパケット形式で前記第1及び第2のデータを送信する送信手段とを有するIEEE1394インタフェース。

【請求項2】前記入力手段は、外部のリンク層からの信号を入出力するためのリンクインタフェースを含み、前記入力手段、前記パケット形式決定手段及び前記送信手段は物理層内に形成される請求項1記載のIEEE1394インタフェース。

【請求項3】前記パケット形式決定手段は、前記第1の通信速度が200Mビット/秒かつ前記第2の通信速度が100Mビット/秒、及び前記第1の通信速度が400Mビット/秒かつ前記第2の通信速度が100Mビット/秒のとき、前記第1及び第2のデータを分離して別のパケットとして決定請求項1又は2記載のIEEE1394インタフェース。

【請求項4】(a)第1のデータを第1の通信速度で送信し、その後第2のデータを第2の通信速度で送信するように指示する信号を入力する工程と、

(b)前記第1及び第2の通信速度に応じて、前記第1及び第2のデータを連結して1つのパケットとし、又は前記第1及び第2のデータを分離して別のパケットとして決定する工程と、

(c)前記決定されたパケット形式で前記第1及び第2のデータを送信する工程とを有するIEEE1394インタフェースの制御方法。

【請求項5】前記工程(b)は、前記第1の通信速度が200Mビット/秒かつ前記第2の通信速度が100Mビット/秒、及び前記第1の通信速度が400Mビット/秒かつ前記第2の通信速度が100Mビット/秒のとき、前記第1及び第2のデータを分離して別のパケットとして決定する請求項4記載のIEEE1394インタフェースの制御方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はデジタル通信に関し、特にデジタルシリアル通信を行うIEEE1394通信に関する。

## 【0002】

【従来の技術】従来のビデオ機器やオーディオ機器には、アナログ信号用の入出力端子を有するものがある。ビデオ信号やオーディオ信号は、当該機器間をアナログ形式で通信される。近年、アナログ通信に代わり、デジ

タル通信が普及しつつある。その中でも、IEEE1394規格のデジタルシリアル通信が注目されてきている。

【0003】図7は、IEEE1394規格の通信ネットワークの構成を示す。ネットワークは、例えば5つのノード(通信装置)ND1~ND5をバスBSに接続することにより構成される。以下、ノードND1~ND5の全て又は個々をノードNDという。各ノードNDには、ノードID(識別子)が設定される。ノードIDは、例えば、ノードND1が1、ノードND2が2、ノードND3が3、ノードND4が4、ノードND5が5である。この中で、ノードIDが一番大きいノードNDがルートノードになる。ルートノードは、例えばノードND5である。

【0004】IEEE1394規格は、アイソクロナス(isochronous)通信とアシンクロナス(asynchronous)通信を規定している。アイソクロナス通信は、同期通信であり、相手を特定しないブロードキャスト通信である。アシンクロナス通信は、非同期通信であり、原則として相手を特定して行う通信である。図8(A)、(B)にアイソクロナス通信を示し、図9(A)、(B)にアシンクロナス通信を示す。

【0005】図8(A)は、シングルパケットのアイソクロナス通信を示す。アイソクロナス通信は、125μsの間隔で行われる同期通信である。通信のサイクル時間は125μsである。ノードは、125μsの間に、第1チャンネルパケットCH1と第2チャンネルパケットCH2と第3チャンネルパケットCH3をバス上に送信することができる。例えば、第1チャンネルパケットCH1は画像データであり、第2チャンネルパケットCH2は音声データである。以下、チャンネルパケットCH1~CH3の全て又は個々をチャンネルパケットCHという。各チャンネルパケットCHの間隔は、所定のアイソクロナスギャップ時間以内にする必要がある。

【0006】第1チャンネルパケットCH1について説明する。第1チャンネルパケットCH1は、順次、アービトレーション信号arb、データプリフェックスdp、パケットデータpck1、データエンドdeを有する。以下、その各々を説明する。

【0007】まず、アービトレーション信号arbをバス上に送信する。アービトレーション信号arbは、バス上にパケットデータpck1を送信する準備段階として、バスの使用許可を求める信号である。複数のノードがバスに接続されているときには、複数のノードの送信が競合することがある。そこで、アービトレーション信号arbを送信することにより、バスの使用許可を求める。ルートノードは、アービトレーション信号arbを受けて、いずれか1つのノードに使用許可を発行する。その使用許可の信号は、図の上ではアービトレーション信号arbに含まれている。

【0008】使用許可が得られると、許可されたノードは、データプリフェックスd p、パケットデータp c k 1、データエンドd eを送信する。パケットデータp c k 1は、実質的な送信データである。データプリフェックスd pはパケットデータp c k 1の開始を意味し、データエンドd eはパケットデータp c k 1の終了を意味する。

【0009】第2及び第3チャンネルパケットCH 2、CH 3は、第1チャンネルパケットCH 1と基本的に同じであり、パケットデータp c k 1の代わりに、それぞれパケットデータp c k 2、p c k 3を含む。以下、パケットデータp c k 1～p c k 3の全て又は個々をパケットデータp c k という。

【0010】以上がシングルパケットの通信である。シングルパケットは、複数ではなく1つのパケットデータp c kを含むチャンネルパケットCHである。各シングルパケットCHを上記のように別々に送信するのではなく、連結して送信することにより、通信効率を向上させることもできる。その連結されたパケットをコンカチネートパケットという。次に、コンカチネートパケットの通信方法を説明する。

【0011】図8(B)は、コンカチネートパケットのアイソクロナス通信を示す。コンカチネートパケットCH 13は、上記のチャンネルパケットCH 1～CH 3を連結したパケットであり、順次、アービトレーション信号a r b、データプリフェックスd p、パケットデータp c k 1、データプリフェックスd p、パケットデータp c k 2、データプリフェックスd p、パケットデータp c k 3、データエンドd eを有する。

【0012】アービトレーション信号a r bは、コンカチネートパケットCH 13の最初にのみ位置する。各パケットデータp c k間にデータプリフェックスd pを挿入することにより、パケットの連結を行う。データエンドd eは、コンカチネートパケットCH 13の最後にのみ位置する。

【0013】以上でアイソクロナス通信の説明を終了する。アイソクロナス通信は、同期通信である。非同期通信を行いたい場合には、アシンクロナス通信を行う。次に、アシンクロナス通信について説明する。

【0014】図9(A)は、シングルパケットのアシンクロナス通信を示す。アシンクロナス通信は、非同期通信であり、所定時間間隔で通信の機会が与えられる同期通信とは異なる。アシンクロナス通信は、通常、相手を特定して通信を行う。ここでは、第1のノードと第2のノードとの間で通信を行う場合を例に説明する。

【0015】まず、第1のノードがパケットP 1を第2のノードに送信する。パケットP 1は、図8(A)の第1チャンネルパケットCH 1と基本的に同じ構成である。ただし、パケットデータp c k 1は、送信元及び送信先の情報を含む。

【0016】第2のノードがパケットP 1を受け取ると、返答のためのアックパケットP 2を第1のノードに送り返す。パケットP 1とアックパケットP 2との間の間隔は、アックギャップ時間以内にする必要がある。

【0017】アックパケットP 2は、順次、データプリフェックスd p、アックデータa c k 1、データエンドd eを含む。アックデータa c k 1は、例えば受信完了又は受信失敗等の情報を含む。データプリフェックスd pはアックデータa c k 1の開始を意味し、データエンドd eはアックデータa c k 1の終了を意味する。

【0018】第2のノードは、当該アックパケットP 2を送信した後、さらに第1のノードにパケットP 3を送信することができる。アックパケットP 2とパケットP 3との間の間隔は、所定のサブアクションギャップ時間以上にする必要がある。パケットP 3は、上記のパケットP 1と基本的に同じであり、パケットデータp c k 1をパケットデータp c k 2に代えたものである。

【0019】第1のノードがパケットP 3を受け取ると、返答のためのアックパケットP 4を第2のノードに送り返す。パケットP 3とパケットP 4との間の間隔は、アックギャップ時間以内にする必要がある。アックパケットP 4は、上記のアックパケットP 2と基本的に同じであり、アックデータa c k 1をアックデータa c k 2に代えたものである。以下、アックデータa c k 1、a c k 2の全て又は個々をアックデータa c k という。

【0020】パケットP 1とアックパケットP 2をサブアクションSA 1といい、パケットP 3とアックパケットP 4をサブアクションSA 2という。

【0021】上記のように、第2のノードは、アックパケットP 2を送信した後、引き続き、パケットP 3を送信する。アックパケットP 2とパケットP 3は、それぞれ1つのアックデータa c k 1と1つのパケットデータp c k 2を含むシングルパケットである。シングルパケットP 2とP 3を連結して、コンカチネートパケットとして送信することもできる。次に、コンカチネートパケットの通信方法を説明する。

【0022】図9(B)は、コンカチネートパケットのアシンクロナス通信を示す。コンカチネートパケットP 23は、上記のパケットP 2とP 3を連結したパケットであり、順次、データプリフェックスd p、アックデータa c k 1、データプリフェックスd p、パケットデータp c k 2、データエンドd eを有する。

【0023】アックデータa c k 1とパケットデータp c k 2の間にデータプリフェックスd pを挿入することにより、パケットの連結を行う。データエンドd eは、コンカチネートパケットP 23の最後にのみ位置する。

【0024】

【発明が解決しようとする課題】IEEE1394は、上記のアイソクロナス通信とアシンクロナス通信のいず

れにおいても、通信速度を100M、200M、400Mビット/秒(bps)の中から1つ選択することができる。

【0025】上記のデータプリフェックスdpは、通信速度の情報を含む。パケットデータpck又はアックデータackは、その前に付与されたデータプリフェックスdp中の通信速度に従って送信される。

【0026】シングルパケットを通信する場合には(図8(A)又は図9(A))、シングルパケット中に1つのデータプリフェックスdpが含まれるのみであるので、そのデータプリフェックスdp中の通信速度に従ってパケットの通信が行われる。

【0027】コンカチネートパケットを通信する場合には(図8(B)又は図9(B))、コンカチネートパケット中に複数のデータプリフェックスdpが含まれるので、コンカチネートパケットは途中で通信速度を変えることができる。

【0028】現在、通信速度が100Mbps及び200Mbpsに対応するIEEE1394インタフェースLSIが主流であり、さらに400Mbpsにも対応可能なものが開発されている。

【0029】コンカチネートパケットは、理論的には、100Mbps、200Mbps、400Mbpsの間で自由に通信速度を変えることができる。しかし、現在、製品化されているIEEE1394インタフェースは、200Mbpsから100Mbpsへの変更ができないようになっている。具体的には、第1のデータプリフェックスdpで200Mbpsを指定し、その後第2のデータプリフェックスdpで100Mbpsを指定すると、通信速度が変更されずに一律に200Mbpsで送信されてしまう仕様になっている。

【0030】このような過去の経緯を尊重し、又は現在の製品との互換性を維持するために、コンカチネートパケットにおいて、(1)200Mbpsから100Mbpsへの変更、及び(2)400Mbpsから100Mbpsへの変更を禁止することがP1394. a規格で規定された。この規定は、いずれIEEE1394に適用される予定である。

【0031】従来のIEEE1394インタフェースでは、通信速度を監視していないので、上記の禁止された通信速度の変更が行われてしまう可能性がある。その場合、P1394. a規格に違反するものになってしまい、好ましくない。

【0032】また、禁止された通信速度の変更を指定しないことを、ユーザの責務に委ねることも考えられる。その場合は、ユーザに過度の負担をかけることになる。また、ユーザが誤って通信速度を変更してしまうこともあり得るので、信頼性が低下する。

【0033】本発明の目的は、変更前及び変更後の通信速度に応じて適切なコンカチネートパケット通信を行う

IEEE1394インタフェース又はその制御方法を提供することである。

【0034】

【課題を解決するための手段】本発明の一観点によれば、第1のデータを第1の通信速度で送信し、その後に第2のデータを第2の通信速度で送信するように指示する信号を入力する入力手段と、前記第1及び第2の通信速度に応じて、前記第1及び第2のデータを連結して1つのパケットとし、又は前記第1及び第2のデータを分離して別のパケットとして決定するパケット形式決定手段と、前記パケット形式決定手段により決定されるパケット形式で前記第1及び第2のデータを送信する送信手段とを有するIEEE1394インタフェースが提供される。

【0035】第1及び第2の通信速度が所定の禁止規定に該当しなければ、第1及び第2のデータを連結して1つのパケットとして送信する。第1及び第2の通信速度が所定の禁止規定に該当する場合には、第1及び第2のデータを分離して別のパケットとして送信することにより、所定の禁止規定を回避することができる。分離されたパケットは、それぞれ第1及び第2の通信速度で送信される。

【0036】

【発明の実施の形態】図1(A)は、本発明の実施例によるコンカチネートパケットのアイソクロナス通信を示す。

【0037】コンカチネートパケットCH13は、図8(B)のコンカチネートパケットCH13と同じであり、チャンネルパケットCH1~CH3を連結したパケットである。コンカチネートパケットCH13は、順次、アービトレーション信号arb、データプリフェックスdp、パケットデータpck1、データプリフェックスdp、パケットデータpck2、データプリフェックスdp、パケットデータpck3、データエンドdeを有する。

【0038】各パケットデータpckは、その前に付与されたデータプリフェックスdp中の通信速度に従って送信される。コンカチネートパケットCH13中には複数のデータプリフェックスdpが含まれているので、コンカチネートパケットCH13は途中で通信速度を変えることができる。

【0039】通信速度は、100M、200M、400Mbpsの中で原則として任意に選択することができる。ただし、P1394. a規格では、以下の通信速度の変更が禁止されている。

【0040】(1)200Mbpsから100Mbpsへの変更、及び(2)400Mbpsから100Mbpsへの変更。

【0041】この2種類の通信速度の変更については、後に示す図1(B)の通信を行うことにより対処する。

10

20

30

40

50

それ以外については、図1 (A) に示すように、公知の方法 (図8 (B)) と同様に、コンカチネートパケット通信を行う。すなわち、以下の場合には通常のコンカチネートパケット通信を行う。

【0042】 (3) 100Mbps から200Mbps に変更する場合、(4) 100Mbps から400Mbps に変更する場合、(5) 200Mbps から400Mbps に変更する場合、(6) 400Mbps から200Mbps に変更する場合、及び(7) 通信速度の変更がない場合。

【0043】 次に、上記の(1)又は(2)の通信速度の変更があった場合を説明する。例えば、パケットデータpck1は通信速度400Mbpsが指定され、パケットデータpck2は通信速度200Mbpsが指定され、パケットデータpck3は通信速度100Mbpsが指定されたとする。

【0044】 この場合、400Mbps から200Mbps への変更は許されるが、200Mbps から100Mbps への変更は許されない。そのため、コンカチネートパケットCH13を送信することはできない。そこで、図1 (B) に示すように、上記のコンカチネートパケットCH13をパケットCH12とパケットCH3に分割して送信する。

【0045】 図1 (B) は、コンカチネートパケットCH12とシングルパケットCH3の送信を示す。400Mbps から200Mbps への変更は許されるので、パケットデータpck1とpck2を連結し、コンカチネートパケットCH12を送信する。一方、200Mbps から100Mbps への変更は禁止されているので、パケットデータpck3をシングルパケットCH3として送信する。

【0046】 コンカチネートパケットCH12は、上記のチャンネルパケットCH1とCH2を連結したパケットであり、順次、アービトレーション信号arb、データプリフェックスdp、パケットデータpck1、データプリフェックスdp、パケットデータpck2、データエンドdeを有する。

【0047】 パケットデータpck1は400Mbpsで送信され、パケットデータpck2は200Mbpsで送信される。

【0048】 シングルパケットCH3は、図8 (A) に示すパケットCH3と同じであり、順次、アービトレーション信号arb、データプリフェックスdp、パケットデータpck3、データエンドdeを有する。

【0049】 パケットデータpck3は、100Mbpsで送信される。パケットデータpck3をシングルパケットCH3として送信することにより、上記の禁止規定を回避することができる。

【0050】 以上でアイソクロナス通信の説明を終了する。アイソクロナス通信は、同期通信である。非同期通

信を行う場合には、アシンクロナス通信を行う。次に、アシンクロナス通信について説明する。

【0051】 図2 (A)、(B) は、本発明の他の実施例によるコンカチネートパケットのアシンクロナス通信を示す。

【0052】 コンカチネートパケットP23は、図9 (B) のコンカチネートパケットP23と同じであり、順次、データプリフェックスdp、アックデータack1、データプリフェックスdp、パケットデータpck2、データエンドdeを有する。

【0053】 アックデータack1又はパケットデータpck2は、その前に付与されたデータプリフェックスdp中の通信速度に従ってそれぞれ送信される。コンカチネートパケットP23中には2つのデータプリフェックスdpが含まれているので、コンカチネートパケットP23は途中で通信速度を変えることができる。

【0054】 上記の(3)～(7)の通信速度が指定された場合は、その指定が許されているので、図2 (A) に示すように、公知の方法 (図9 (B)) と同様に、コンカチネートパケット通信を行う。

【0055】 一方、上記の(1)と(2)の通信速度が指定された場合は、その指定が禁止されているので、アイソクロナス通信の場合 (図1 (B)) と同様に、図2 (B) に示すように、上記のコンカチネートパケットP23をパケットP2とパケットP3に分割して送信する。

【0056】 図2 (B) は、シングルパケットP2とシングルパケットP3の送信を示す。パケットP2は、図9 (A) のパケットP2と同じであり、順次、データプリフェックスdp、アックデータack1、データエンドdeを有する。パケットP3は、図9 (A) のパケットP3と同じであり、順次、アービトレーション信号arb、データプリフェックスdp、パケットデータpck2、データエンドdeを有する。

【0057】 P1394、a規格に反することなく、例えば、パケットP2 (アックデータack1) を200Mbpsで送信し、パケット3 (パケットデータpck2) を100Mbpsで送信することができる。

【0058】 ユーザは、通信速度の変更を気にせずにコンカチネートパケット送信を指示することができる。IEEE1394インタフェースは、変更前及び変更後の通信速度に応じて、上記のように、コンカチネートパケットを分割して送信することができる。次に、IEEE1394インタフェースの構成を説明する。

【0059】 図3は、IEEE1394インタフェース1を含むノードNDの構成を示す。ノードNDは、図7の通信ネットワークを構成する1つのノードNDに相当する。通信ネットワークは、各ノードNDをバスBSに接続することにより構成される。ノードNDは、IEEE1394インタフェース1及びデバイス4を有する。

デバイス4は、例えばビデオ機器やオーディオ機器やコンピュータ等である。

【0060】IEEE1394インタフェース1は、リンク層（半導体チップ）2と物理層（半導体チップ）3のセットで構成される。物理層3は、バスBSと直接信号の授受を行う層であり、リンク層2はデバイス4と信号の授受を行う層である。

【0061】バスBSは、信号ラインの他、電源ラインを有する。物理層3は、バスBSから電源の供給を受ける。一方、リンク層2は、デバイス4から電源の供給を受ける。本来であれば、リンク層2だけでなく物理層3についても、デバイス4から電源の供給を受けることが望ましい。そのようにすれば、IEEE1394インタフェース1を物理層3とリンク層2の2つに分ける必要がなく、IEEE1394インタフェース1を1つの半導体チップで構成することができる。

【0062】しかし、その場合、デバイス4の電源を切ると、IEEE1394インタフェース1に電源が供給されなくなり、IEEE1394インタフェース1が動作しなくなる。

【0063】IEEE1394の通信ネットワークは、チェーン状にノードNDが接続されており、接続されているノードNDのうちの1つのIEEE1394インタフェース1が動作しないと、他のノードNDに通信データを伝えることができなくなってしまうという不都合がある。

【0064】そのため、IEEE1394インタフェース1を、物理層3とリンク層2に分けている。物理層3は、バスBSから電源の供給を受けるので、デバイス4の電源を切っても動作する。物理層3が動作していれば、通信ネットワークは他のノードNDに通信データを伝えることができる。リンク層2は、デバイス4の電源を切ると動作しない。

【0065】リンク層2と物理層3は、制御信号線（2ビット）Ctl、データ線（8ビット）D、リクエスト信号線LReq、クロック信号線SClkで接続されている。制御信号Ctlは、双方向信号であり、送信開始等を指示する。データDも、双方向信号であり、パケットデータ等に相当するデータである。リクエスト信号LReqは、リンク層2が物理層3にデータの送信を要求するための信号である。クロック信号SClkは、物理層3からリンク層2に供給される約50MHzのクロック信号である。次に、各信号の具体例を示す。

【0066】図4は、シングルパケットの送信を示すタイミングチャートである。シングルパケットは、図8（A）又は図9（A）に示すパケットである。このタイミングチャートは、IEEE1394規格に準拠するものであり、約50MHzのクロック信号SClkに同期している。

【0067】制御信号PHY-Ctl及びデータPHY

-Dは、それぞれ物理層3が出力する制御信号Ctl及びデータDを表す。制御信号Link-Ctl及びデータLink-Dは、それぞれリンク層2が出力する制御信号Ctl及びデータDを表す。制御信号Ctl及びデータDは、ハイレベル「1」とローレベル「0」とハイインピーダンス「Z」の3状態をとり得る。

【0068】まず、時刻t0において、リンク層2がリクエスト信号LReqを物理層3に供給し、送信要求を行う。リクエスト信号LReqは、実際には約8ビットのシリアルデータであり、通信速度の情報も含む。この通信速度は、パケットを送信する通信速度に相当する。

【0069】その後、物理層3は、アービトラージョン信号arbをバス上に送信し、バスの使用許可が得られたら、データプリフェックスdpをバス上に送信する。

【0070】次に、時刻t1において、物理層3が制御信号PHY-Ctlを「00」にする。「00」は、相手に待ちを指示するので、リンク層2は何もしない。

【0071】次に、時刻t2において、物理層3は、上記のリクエスト信号LReqに応じて、制御信号PHY-Ctlを「11」（グラント）にし、送信許可をリンク層2に伝える。

【0072】次に、時刻t3において、物理層3が制御信号PHY-Ctlを「00」にする。「00」は、相手に待ちを指示するので、リンク層2は何もしない。

【0073】次に、時刻t4において、リンク層2が制御信号Link-Ctlを「00」にする。「00」は、相手に待ちを指示するので、物理層3は何もしない。

【0074】次に、時刻t5～t6において、リンク層2は、制御信号Link-Ctlを「01」（ホールド）にして、データLink-Dを無効状態にする。

【0075】次に、時刻t7～t10において、リンク層2は、制御信号Link-Ctlを「10」（トランスミット）にして、データLink-Dとしての「D0」～「Dn」を有効状態にする。

【0076】その後、物理層3は、データ「D0」～「Dn」をパケットデータpckとしてバス上に送信する。

【0077】次に、時刻t11及びt12において、リンク層2は、制御信号Link-Ctlを「00」、「00」にして、物理層3に有効データLink-Dの終了を知らせる。

【0078】その後、物理層3は、データエンドde（図8（A）、図9（A））をバス上に送信する。以上で、シングルパケットの送信が終了する。

【0079】図5は、コンカチネートパケットの送信を示すタイミングチャートである。このタイミングチャートも、IEEE1394規格に準拠するものであり、約50MHzのクロック信号SClkに同期している。

【0080】まず、上記の時刻t0～t10の処理と同



じ処理を行う。次に、時刻  $t_{11}$  及び  $t_{12}$  において、リンク層 2 は、制御信号  $Link-Ctl$  を「01」、「00」にし、データ  $Link-D$  を「SP」、「00」にする。物理層 3 は、この後に連結すべきデータが続き、そのデータの通信速度が「SP」であることを認識する。

【0081】その後、物理層 3 は、データプリフェックス  $d_p$  をバス上に送信し、コンカチネートパケットが続くことを知らせる。

【0082】次に、時刻  $t_{13} \sim t_{14}$  において、物理層 3 が制御信号  $PHY-Ctl$  を「00」にする。「00」は、相手に待ちを指示するので、リンク層 2 は何もしない。

【0083】この間に、物理層 3 は、リクエスト信号  $LReq$  中の通信速度と時刻  $t_{11}$  のデータ  $Link-D$  が示す通信速度  $SP$  とを参照し、通信速度の変更が上記の禁止規定に属するか否かを判断し、属するときにはパケットを分割する。この具体的な処理は、後に図 6 に示す物理層 3 の構成を参照しながら説明する。

【0084】次に、時刻  $t_{15}$  において、物理層 3 は、上記のリンク層 2 からのコンカチネート指示  $Link-Ctl = \text{「01」}$ 、「00」（時刻  $t_{11}$  及び  $t_{12}$ ）に応じて、制御信号  $PHY-Ctl$  を「11」（グラント）にして、送信許可をリンク層 2 に知らせる。

【0085】次に、時刻  $t_{16}$  において、物理層 3 が制御信号  $PHY-Ctl$  を「00」にする。「00」は、相手に待ちを指示するので、リンク層 2 は何もしない。

【0086】次に、時刻  $t_{17}$  において、リンク層 2 が制御信号  $Link-Ctl$  を「00」にする。「00」は、相手に待ちを指示するので、物理層 3 は何もしない。

【0087】次に、時刻  $t_{18} \sim t_{19}$  において、リンク層 2 は、制御信号  $Link-Ctl$  を「01」（ホールド）にして、データ  $Link-D$  を無効状態にする。

【0088】次に、時刻  $t_{20}$  及び  $t_{21}$  以降において、リンク層 2 は、制御信号  $Link-Ctl$  を「10」（トランスミット）にして、データ  $Link-D$  としての「D0」、「D1」・・・を有効状態にする。

【0089】その後、物理層 3 は、当該データ「D0」、「D1」・・・をパケットデータ  $pck$  としてバス上に送信する。以下、同様に、リンク層 2 からコンカチネート指示がある限り、上記の処理を繰り返す。

【0090】最後は、図 4 の時刻  $t_{11}$  及び  $t_{12}$  と同様に、リンク層 2 が、制御信号  $Link-Ctl$  を「00」、「00」にすると、物理層 3 は有効なデータ  $Link-D$  の終了を認識し、データエンド  $d_e$  をバス上に送信する。以上で、コンカチネートパケットの送信が終了する。

【0091】次に、物理層 3 が通信速度の変更が禁止規定に属するか否かを判断し、それに応じてパケットを分

割する処理を説明する。これらの処理は、図 5 の時刻  $t_{13} \sim t_{14}$  の間に行われる。

【0092】禁止規定に属しないときには、物理層 3 は、図 1 (A) 又は図 2 (A) に示すように、上記のデータ「D0」～「Dn」に引き続き、データプリフェックス  $d_p$  をバス上に送信し、データ連結に備える。

【0093】一方、禁止規定に属するときには、物理層 3 は、図 1 (B) 又は図 2 (B) に示すように、パケットを分割するため、データエンド  $d_e$  を送信し、パケットを一旦終了させる。その後、再びアービトレーション信号  $arb$  及びデータプリフェックス  $d_p$  を送信する。

【0094】以上のように、禁止規定に属するか否かにより、物理層 3 が送信する信号は異なる。しかし、図 5 に示すように、リンク層 2 と物理層 3 との間で授受する信号は基本的に変わらない。ただし、禁止規定に属するときには、物理層 3 がパケットを分割してアービトレーション信号  $arb$  をバス上に送信するので、時刻  $t_{13}$  から  $t_{14}$  までの時間が長くなる。

【0095】図 6 は、物理層 3 の構成を示すブロック図である。リンクインタフェース 11 は、リンク層 2 との間で制御信号線  $Ctl$ 、データ線  $D$ 、リクエスト信号線  $LReq$ 、クロック信号線  $SClk$  が接続される。リンクインタフェース 11 は、スピード比較器 12、Tx ブロック 13 及びステートマシン 14 に接続される。

【0096】リンク層 2 がコンカチネートパケット通信を物理層 3 に指示する場合（図 5）を説明する。まず、図 4 の時刻  $t_0$  において、リクエスト信号  $LReq$  がリンクインタフェース 11 を介してステートマシン 14 に入力される。ステートマシン 14 は、リクエスト信号  $LReq$  中の通信速度  $TxSP$  を保持し、スピード比較器 12 に出力する。

【0097】バスインタフェース 15 は、上記のリクエスト信号  $LReq$  に応じて、アービトレーション信号  $arb$  又はデータプリフェックス  $d_p$  をバス  $BS$  上に出力する。

【0098】次に、図 4 の時刻  $t_7 \sim t_{10}$  において、データ  $Link-D$  としての「D0」～「Dn」がリンクインタフェース 11 に入力される。Tx ブロック 13 は、当該データ「D0」～「Dn」を受け取り、当該データ「D0」、「Dn」をパケットデータ  $pck$  又はアックデータ  $ack$  として、バスインタフェース 15 を介してバス  $BS$  上に送信する。

【0099】次に、図 5 の時刻  $t_{11}$  において、リンクインタフェース 11 は、データ  $Link-D$  としての通信速度「SP」を入力する。当該通信速度「SP」は、通信速度  $ReqSP$  としてスピード比較器 12 に入力される。

【0100】スピード比較器 12 は、通信速度  $ReqSP$  と通信速度  $TxSP$  を比較する。通信速度  $TxSP$  及び  $ReqSP$  が以下の禁止規定 (1) 及び (2) に属さ

10

20

30

40

50

なければ、コンカチネートパケット通信が許されるので、コンカチネートオン信号CONをTxブロック13及びステートマシン14に出力する。

【0101】(1) 通信速度TxSPが200Mbpsかつ通信速度ReqSPが100Mbpsである場合、及び(2) 通信速度TxSPが400Mbpsかつ通信速度ReqSPが100Mbpsである場合。

【0102】なお、通信速度は、最初のみリクエスト信号LReq中に含まれ、その後はデータLink-D中に含まれる。スピード比較器12は、2回目以降の比較では、1つ前の通信速度TxSPと次の通信速度ReqSPの比較を行う。

【0103】ステートマシン14は、コンカチネートオン信号CONを受けると、データプリフェックスdpをバスインタフェース15を介してバスBS上に送信する。続いて、Txブロック13は、図5の時刻t20以降のデータ「D0」をバスインタフェース15を介してバスBS上に送信する。最後に、ステートマシン14は、データエンドdeをバスインタフェース15を介してバスBS上に送信する。

【0104】一方、ステートマシン14は、コンカチネートオン信号CONを受けとらないときには、データエンドdeをバスインタフェース15を介してバスBS上に送信し、その後、アービトレーション信号arb及びデータプリフェックスdpをバスインタフェース15を介してバスBS上に送信する。続いて、Txブロック13は、図5の時刻t20以降のデータ「D0」をバスインタフェース15を介してバスBS上に送信する。最後に、ステートマシン14は、データエンドdeをバスインタフェース15を介してバスBS上に送信する。

【0105】以上のように、Txブロック13がパケットデータpck（又はアックデータack）を送信した後、ステートマシン14はコンカチネートオン信号CONに応じてデータプリフェックスdp又はデータエンドdeを送信する。

【0106】なお、より具体的には、パケットデータpck（又はアックデータack）とデータプリフェックスdp又はデータエンドdeとの間に、ドリブルビットbtを送信する。ドリブルビットbtは、その後にデータプリフェックスdpが送信されるか又はデータエンドdeが送信されるかにより、その内容が異なる。

【0107】そこで、Txブロック13は、コンカチネートオン信号CONを受けたか否かにより、異なる内容のドリブルビットbtをバスインタフェース15を介してバスBS上に送信する。

【0108】以上のように、物理層3が通信速度を判断する。禁止規定に該当するときには、パケットを分割して送信することにより、禁止規定を回避することができる。一方、禁止規定に該当しないときには、パケットを分割せずにコンカチネートパケットとして送信する。

【0109】従来は、通信速度が100Mbpsと200Mbpsに対応するIEEE1394インタフェースが主に製品化されてきた。今後、さらに400Mbpsにも対応させようとする、バスBSに直接接続される物理層3の内部設計を変更しなければならない。その際に、上記のパケット分割の機能を物理層3に付加すれば、リンク層（半導体チップ）2の変更なしに物理層（半導体チップ）3の変更だけで済む。

【0110】リンク層2は、従来と同様に通信速度を気にせずに物理層3にコンカチネートパケット通信を指示することができる。つまり、リンク層2は、通信速度を監視する必要はない。物理層3は、リンク層2から指示された通信速度に応じてパケットを分割するか否かを決定して送信する。すなわち、リンク層2と物理層3との間の信号授受方法は従来と変わらない。また、リンク層2の構成を変える必要もない。

【0111】なお、リンク層2の変更を行っても構わない場合には、上記のパケット分割の機能をリンク層2に持たせたもよい。

【0112】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0113】

【発明の効果】以上説明したように、本発明によれば、第1及び第2の通信速度が所定の禁止規定に該当しなければ、第1及び第2のデータを連結して1つのパケットとして送信し、所定の禁止規定に該当する場合には、第1及び第2のデータを分離して別のパケットとして送信することにより、所定の禁止規定を回避することができる。

【図面の簡単な説明】

【図1】図1(A)、(B)は本発明の実施例によるコンカチネートパケットのアイソクロナス通信を示す。図1(A)は連結したパケットの通信を示し、図1(B)は分割したパケットの通信を示すタイムチャートである。

【図2】図2(A)、(B)は本発明の他の実施例によるコンカチネートパケットのアシンクロナス通信を示す。図2(A)は連結したパケットの通信を示し、図2(B)は分割したパケットの通信を示すタイムチャートである。

【図3】通信ネットワークを構成するノードの構成を示すブロック図である。

【図4】シングルパケットの通信を示すタイミングチャートである。

【図5】コンカチネートパケットの通信を示すタイミングチャートである。

【図6】物理層の構成を示すブロック図である。

【図7】IEEE1394規格の通信ネットワークの構

成を示すブロック図である。

【図8】図8(A)、(B)はアイソクロナス通信を示す。図8(A)はシングルパケットの通信を示し、図8(B)はコンカチネートパケットの通信を示すタイムチャートである。

【図9】図9(A)、(B)はアシンクロナス通信を示す。図9(A)はシングルパケットの通信を示し、図9(B)はコンカチネートパケットの通信を示すタイムチャートである。

#### 【符号の説明】

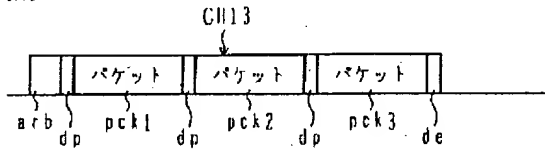
- 1 IEEE1394インタフェース
- 2 リンク層
- 3 物理層
- 4 デバイス
- 11 リンクインタフェース

- 12 スピード比較器
- 13 Txブロック
- 14 スタートマシン
- 15 バスインタフェース
- BS バス
- ND ノード
- CH チャンネルパケット
- arb アービトレーション信号
- dp データプリフェックス
- pck パケットデータ
- de データエンド
- P パケット
- SA サブアクション
- ack アックデータ

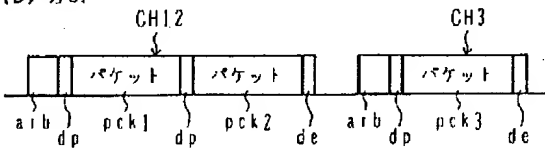
【図1】

アイソクロナス通信

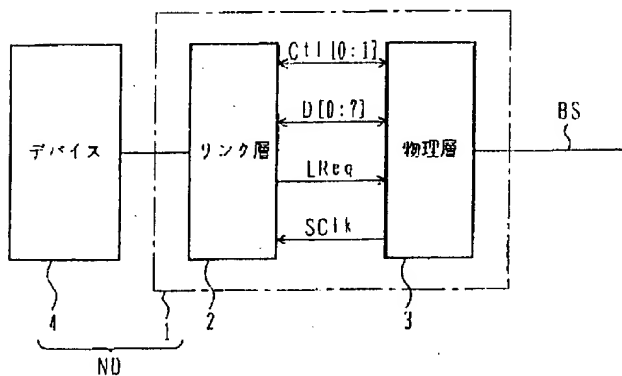
(A) コンカチネート



(B) 分割



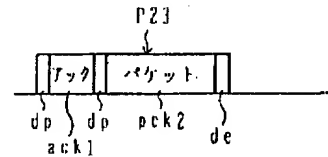
【図3】



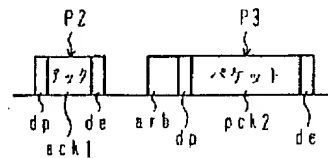
【図2】

アシンクロナス通信

(A) コンカチネート

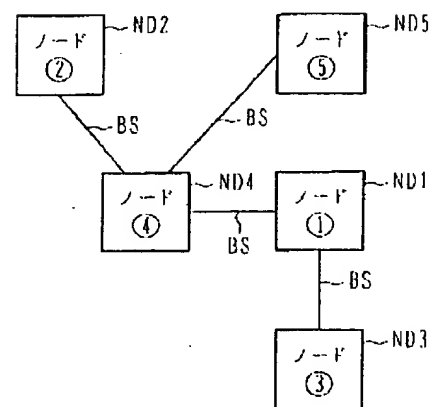


(B) 分割



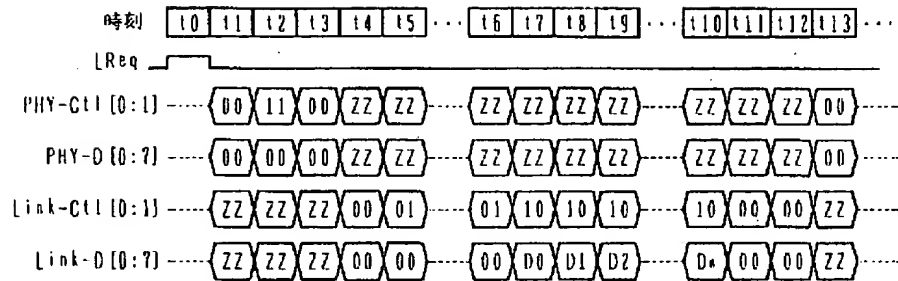
【図7】

通信ネットワーク



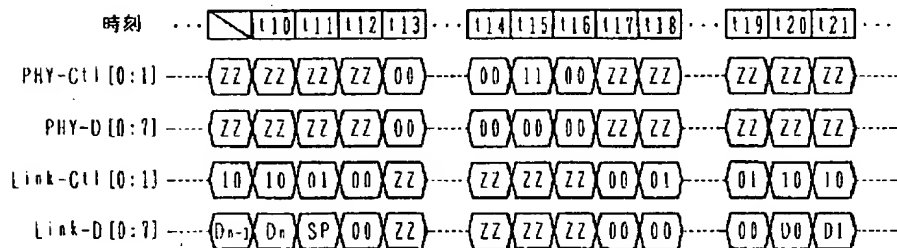
【図 4】

## シングルパケット



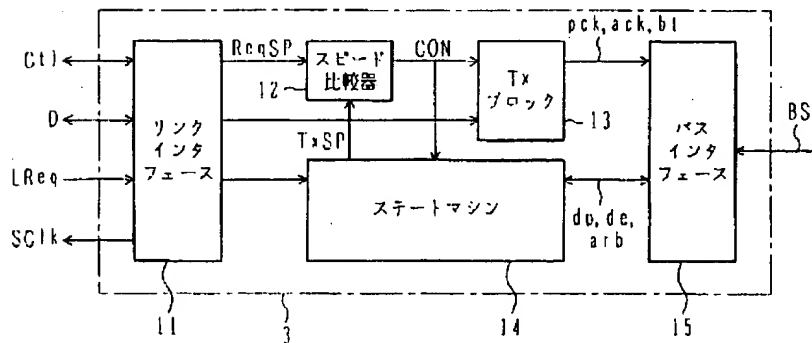
【図 5】

## コンカチネートパケット



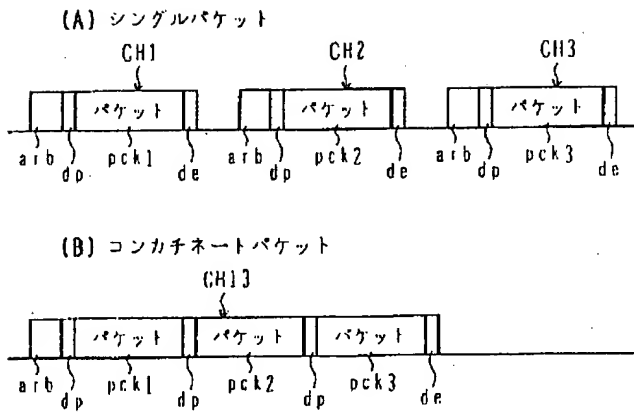
【図 6】

## 物理層



【図 8】

アイソクロナス通信



【図 9】

アシンクロナス通信

